

97-009670

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01S 3/18

(45) 공고일자 1997년06월17일
(11) 공고번호 97-009670

(21) 출원번호	특1994-0006599	(65) 공개번호	특1995-0028241
(22) 출원일자	1994년03월30일	(43) 공개일자	1995년10월18일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 팔달구 매탄동 416번지		

(72) 발명자 양승기
서울특별시 강동구 고덕동 대우아파트 1동 404호
(74) 대리인 이영필, 박영우, 조현실

심사관 : 고광석 (특허공보 제5066호)

(54) 자기 정렬을 이용한 반도체 레이저 다이오드 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

자기 정렬을 이용한 반도체 레이저 다이오드 제조방법

[도면의 간단한 설명]

제1도는 종래의 반도체 레이저 다이오드의 수직 단면도.

제2도는 본 발명의 제조방법에 따른 반도체 레이저 다이오드의 수직 단면도.

제3도 내지 제17도는 본 발명에 따른 반도체 레이저 다이오드의 제조 단계별 공정을 나타내는 수직 단면도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------------------------|------------------------|
| 1 : n-GaAs 기판 | 2 : n-GaAs 버퍼층 |
| 3 : 제 1 의 크래드층(n형) | 4 : 제 1 도파층 |
| 5 : 활성층 | 6 : 제 2 도파층 |
| 7 : 제 2 의 크래드층(p형) | 8 : 캡층 |
| 9 : 전류 차단층 | 10 : 금속(p) |
| 11 : 금속(n) | 21 : n-GaAs 기판 |
| 22 : n-GaAs 버퍼층 | 23 : 제 1 의 크래드층(n형) |
| 24 : 제 1 도파층 | 25 : 활성층 |
| 26 : 제 2 도파층 | 27 : 제 2 의 크래드층(p형) |
| 28 : 캡층 | 31 : 금속(n) |
| 32 : 채널 마스크(SiO ₂) | 33 : 오믹 금속(제 1 금속 : p) |
| 34 : 전류 차단층 | 35 : 금속(제 2 금속 : p) |
| 36 : 잔류 포토 레지스트 | |

[발명의 상세한 설명]

본 발명은 광통신 분야의 광 정보 처리용 POS 시스템 카운터 및 레이저 포인터(laser pointer) 등에 적용되는 반도체 레이저 다이오드에 관한 것으로, 상세하게는 광 통신용 분야에서 고밀도 및 고속 정보 처리를

위해 단파장화와 고출력화가 급속히 진행되고 있는 반도체 레이저 다이오드들 중에서 발광 영역이 특히 작은 형상을 가지도록 형성된 리지 구조(ridge structure)의 반도체 레이저 다이오드의 제조방법에 관한 것이다.

제 1 도는 종래의 리지 형태의 반도체 레이저 다이오드의 단면도이다. 이 도면을 참조하여 그 구조를 살펴보면 다음과 같다.

n-GaAs 기판(1) 상면에 n-GaAs 버퍼층(2), n형의 제 1 크래드층(3), 제 1 도파층(wave guide layer : 4), 활성층(5) 및 제 2 도파층(6)이 순차로 적층되어 있다. 이에 연속되어 3개의 리지를 가지는 p형의 제 2 크래드층(7)이 적층되어 있으며, 상기 3개의 리지 상면에는 각각 캡층(8)이 적층되어 있다.

또한 상기 캡 층(8)이 적층된 리지형의 제 2 크래드층(7)의 상면에는 중간 리지 상면 중앙부에 전류 주입을 위한 개구부를 제외하고는 그 양쪽을 전류 차단층(9)이 적층되어 있으며, 그리고 그 상면 전체에 걸쳐 금속층(p : 10)이 적층되어 있고, 위의 전류 차단층(9)의 개구부를 통해 캡층(8)의 일부와 접촉하여 주입 전류를 전달하는 구실을 한다.

그리고 기판(1)의 하단면에 금속층(11 : n)이 증착되어 상기 전극층(10 : p)와 함께 전극의 구실을 한다.

이상과 같은 구조로 형성된 리지형 반도체 레이저 다이오드의 제조방법은 다음과 같다.

n-GaAs 기판(1)의 상면에 n-GaAs 버퍼층(2), n형의 제 1 크래드층(3), 제 1 도파층(wave guide layer : 4), 활성층(5), 제 2 도파층(6), p형의 제 2 크래드층(7) 및 캡층(8)이 순차적으로 적층한다.

다음에 상기 적층을 포토리소그래피(potolithography)법으로 식각하여, 제 1 도에 도시된 바와 같이, 3개의 리지 구조가 형성되도록 두 개의 홈을 제 2 크래드층(7 : p형) 깊숙히까지 낸다.

다음에 위의 리지가 형성된 적층의 전면에 전류 차단층(9)을 형성하고, 가운데 리지의 상단부에는 전류를 주입하기 위해 적절한 마스크를 이용한 포토리소그래피법으로 식각하여 개구부(12)를 낸다. 이 개구부(12)가 형성된 상기 적층의 전면에 걸쳐 금속(10 : p)을 증착하여 소자를 완성한다.

그러나, 이상 설명한 바와 같은 리지형 반도체 레이저 다이오드의 제조방법은 전류 주입을 위한 개구부(12) 형성시 마스크를 이용한 포토리소그래피법을 이용함으로써 공정시 미스-어라인(mis-align) 등의 에러가 발생하기 쉽고, 전류 차단층(9)의 개구부(12)를 통한 캡층(8) 상면과 금속(10 : p)과의 저항성 접촉 영역이 작아서 레이징(lasing)시 발열이 심한 문제점이 있어, 광통신용 반도체 레이저 다이오드의 최대의 난제인 신뢰성 확보에 큰 장애가 된다.

본 발명에 따른 리지형 반도체 레이저 다이오드의 제조 방법은 상기와 같은 문제점을 개선하고자 창안된 것으로, 소자의 전류 주입부가 되는 저항성 접촉 영역이 넓어서 레이저 발진시 열발산 효과가 뛰어나며, 저항성 접촉 영역에 구애받지 않고 리지 크기를 줄일 수 있는 반도체 레이저 다이오드의 제조 방법을 제공 하는데 그 목적이 있다.

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 반도체 레이저의 제조 방법은, 제 1 전도형의 반도체 기판 상면에 제 1 전도형 버퍼층, 제 1 전도형의 제 1 크래드층, 제 1 도파층, 활성층, 제 2 도파층, 제 2 전도형의 제 2 크래드층, 제 2 전도형의 캡층을 순차적으로 성장시켜 적층하는 성장 단계와, 상기 성장 단계에서 성장된 상기 캡층의 양쪽 가장자리 상면에 채널 마스크를 형성하는 채널 마스크 형성 단계와, 상기 채널 마스크 형성 단계에서 형성된 양쪽의 채널 마스크의 사이에 소정 크기의 저항성 접촉 제 1 금속층을 형성하는 제 1 금속층 형성단계와, 상기 채널 마스크와 상기 제 1 금속층을 마스크로 하여, 이 제 1 금속층을 상단부로 하는 리지를 형성하기 위해 그 주변부를 소정의 깊이까지 선택적으로 식각하는 제 1 식각 단계와, 상기 제 1 식각 단계에서 형성된 리지부 및 식각부의 전면에 걸쳐 전류 차단층을 형성하는 전류 차단층 형성 단계와, 상기 전류 차단층 형성 단계에서 형성된 전류 차단층에 감광성 수지를 도포한 다음 상기 제 1 금속층을 노출시키는 제 2 식각 단계와, 상기 제 2 식각 단계에서 잔류된 나머지 감광성 수지를 제거하는 제 3 식각 단계와, 상기 제 3 식각 단계에서 감광성 수지가 제거된 기판에 제 2 금속층을 증착하는 제 2 금속 증착 단계를 포함하여 된 점에 특징이 있다.

이하 도면을 참조하면서 본 발명에 따른 반도체 레이저 다이오드의 제조 방법을 설명한다.

제 2 도는 본 발명의 제조 방법에 따른 반도체 레이저 다이오드의 수직 단면도이다. 이 도면을 참조하면서 그 구조를 살펴보면 다음과 같다.

n-GaAs 기판(21)의 상면에 n-GaAs 버퍼층(22), n-제 1 크래드층(23), 제 1 도파층(wave guide layer : 24), 활성층(25) 및 제 2 도파층(26)이 순차로 적층되어 있다. 이에 연속되어, 3개의 리지를 가지는 p형 제 2 크래드층(27)이 적층되어 있으며, 상기 3개의 리지 상면에는 각각 캡층(28)이 적층되어 있다.

또한 상기 캡층(28)이 적층된 리지형의 제 2 크래드층(27)의 중간 리지 상면에는 전류 주입을 위한 제 1 금속층(33)이 캡층(28)과 저항 접촉되어 있다. 그리고 양쪽 가장자리 리지의 캡층(28) 상면에는 SiO₂의 채널 마스크(32)가 형성되어 절연층의 구실을 하게 된다.

또한 리지 구조 형성을 위하여 식각에 의해 파여진 두 홈에는 전류 차단층(34)이 채널 마스크(32)의 상단부 및 같은 높이의 제 1 금속층(33)에 연접하여 적층되어 있다. 그리고 상기 제 1 금속층(p : 33)과 전류 차단층(34) 및 채널 마스크(32)의 상면에 제 2 금속층(35)이 적층되어 있어 주입된 전류를 안쪽으로 전달하는 구실을 하게 된다.

그리고 기판(21)의 하단면에 금속층(31 : n)이 증착되어 상기 전극층(35 : p)와 함께 전극의 구실을 하게 된다.

다음으로 제 3 도 내지 제17도를 참조하면서 본 발명에 따른 반도체 레이저 다이오드의 제조 방법을 설명한다.

먼저 제 3 도에 도시된 바와같이, n형(제 1 전도형)의 GaAs 기판(21) 상면에 n형의 GaAs 버퍼층(22), n형

의 제 1 크래드층(23), 제 1 도파층(wave guide layer : 24), 활성층(25), 제 2 도파층(26), p형의 제 2 크래드층(27) 및 캡 층(28)을 순차적으로 성장시켜 적층한다(성장단계).

다음에 상기 성장 적층들 상면에 고에너지 플라즈마 화학 기상 증착(PECVE : plasma enhanced chemical vapor deposition)을 법으로 제 4 도에 도시된 바와 같이, SiO_2 층을 증착시킨 다음, 제 5 도 내지 제 8 도에 도시된 바와 같은 포토리소그래피법으로 식각하여 채널 마스크(32)를 형성한다.

여기서 제 5 도는 감광성 수지(photo resister)를 도포한 단계를 나타내며, 제 6 도는 Cr-마스크를 얹고 상기 감광성 수지에 노광을 하는 단계이며, 제 7 도는 Cr-마스크가 제거된 상태의 노광된 감광성 수지를 현상하여 PECVD법으로 증착된 SiO_2 층을 식각한 단계이며, 제 8 도는 현상된 감광성 수지를 제거하여 채널 마스크를 완성한 단계이다. 이 채널 마스크는 2중 리지 형성을 위한 채널 마스크로서, 소자의 신뢰성 향상을 위해 형성시킨다. 즉 소자 어셈블리시 기계적 스트레스에 의한 하부막 손상을 줄이기 위한 것으로, 싱글 리지일 경우에는 하부막 손상이 커진다.

또한 여기서 PEVCD법의 특징에 대해 설명하고 다음 설명으로 넘어가기로 한다.

고에너지(plasma enhanced) CVD 기법은 반응 가스들에 에너지를 전달하기 위해 rf-유도 글로우 방전을 이용하며, APCVD(atmospheric pressure CVD)법이나 LPCVD(low pressure CVD)법 공정을 보다 낮은 온도에서 증착 공정을 실시할 수 있다는 장점이 있다. 따라서 PECVD법은 저온에서 증착 공정을 실시할 수 있으므로, 금속 상에 실리콘 질화물 및 SiO_2 층 등을 형성하는 것과 같이, 다른 방법들에 의해서 코팅되기에는 열적 안정성을 가지지 못하는 기판 상에 막을 증착하는 방법을 제공한다.

이와 같은 PECVD법은 모든 반응 가스가 증착실 내에서 RF 전력에 의해 플라즈마 활성화되거나 분해되어 이온화된 시료들(species)과 라디칼들을 형성하며, 이러한 라디칼과 이온화된 시료들이 가열된 기판에 입사되고 반사되면서 박막을 형성하게 된다.

다음으로 제 9 도에 도시된 바와 같이, 채널 마스크(32)가 형성된 캡층(28) 상면에 감광성 수지를 도포하고 Cr-마스크를 얹어 노광한 다음, 제10도에 도시된 바와 같이, 현상한다.

제11도에 도시된 바와 같이, 제 1 금속을 증착하여 중앙의 노출된 캡층(28)과는 저항성 접촉이 이루어지도록 한 다음, 제12도에 도시된 바와 같이, 채널 마스크(32) 상부의 불필요한 감광성 수지 및 그 상면의 금속층을 리프트-오프(lift-off)기법에 의해 제거하여 제 1 금속층(33)을 형성한다(제 1 금속층 형성 단계).

여기서 리프트-오프 기법은 에칭 기법에서 사용되는 제거 공정과 상반되는, 부가적인 공정에 의해 웨이퍼 면상 패턴을 형성하는 기술이다. 즉, 리프트-오프 기법에서는 역 패턴이 웨이퍼 상에 있는 소위 스텐셀(stencil)층에 먼저 형성된 다음, 특정 위치의 기판을 노출한다.

다음에 패턴될 막이 역-패턴된 스텐셀층과 노출된 기판 상에 증착된다. 스텐셀층 상에 증착된 역-패턴과 그 상부의 막재료 부분은 웨이퍼가 스텐셀층이 용해할 수 있는 용액에 담겨질 때 제거된다. 다시 말해서, 스텐셀층 상에 증착된 막은 스텐셀이 용해되는 동안 리프트-오프(lift-off)된다. 노출된 기판 영역 상에 증착된 막재료는 필요한 패턴으로 뒤에 남는다.

이 리프트-오프 공정이 성공을 위해서는 스텐셀 상부의 막재료와 노출된 기판상의 증착된 막재료 사이에 분명한 틈이 존재하는 것이 중요하다.

다음에 제13도에 도시된 바와 같이, 두 개의 채널 패턴과 제 1 그물층 사이의 캡층(28) 및 제 2 크래딩층(27)의 3족 '(p족)' 또는 5족 '(n형)' 화합물을 리액티브 이온 에칭(reactive ion etching) 기법으로 소정의 깊이까지 식각하여 리지 구조를 형성한다(제 1 식각 단계). 이렇게 함으로써, 건식 에칭(dry etching)의 장점인 마스크와 동일한 패턴 전이(pattern transition)가 이루어져 리지폭과 저항성 접촉 영역이 일치하여 최대의 저항성 접촉 영역이 확보된다.

이와 같이 리지 구조가 형성된 기판에 제14도에 도시된 바와 같이, PECVD법으로 SiO_2 의 전류 차단층(34)를 상기 리지 구조의 전면에 걸쳐 증착시킨 다음, 제15도에 도시된 바와 같이, 감광성 수지(photo resister)를 평탄하게 도포한다.

그리고 제16도에 도시된 바와 같이, 건식 에칭법(dry etching : plasma etching, RIE 또는 MERIE)으로 식각하여 제 1 금속층(33)을 노출시킨다(제 2 식각 단계). 이때 감광성 수지와 SiO_2 나 Al_2O_3 와 같은 PECVD 재료를 식각하는 RIE 공정의 가스 조성비를 적절히 조절하여, 감광성 수지에 대한 SiO_2 나 Al_2O_3 로 형성된 전류 차단층의 식각 선택비가 1 : 1로 같아지도록 한다. 이렇게 함으로써, 자기 정렬된(self-aligned) 제 1 금속(p) 노출 영역을 최대한 확보할 수 있어, 소자의 열특성 개선은 물론 공정의 안정화와 소자의 신뢰성이 향상되게 된다.

다음으로 제17도에 도시된 바와 같이, 잔류 감광성 수지(36)을 플라즈마 애싱(plasma ashing)시켜 제거한 후(제 3 식각 단계), 제 2 도에 도시된 바와 같이 제 2 금속(35 : p)을 증착하고(제 2 금속 증착 단계), 기판(21) 하부에 금속(n)을 증착하여 본 발명에 따른 제조 방법에 의한 반도체 레이저 다이오드가 완성된다.

이상 설명한 바와 같이, 본 발명에 따른 반도체 레이저 다이오드의 제조 방법은 PECVD법과 같은 저온 공정으로 전류 차단층을 제 1 금속층의 벽면에 형성하고, RIE 공정의 가스 조성비를 적절히 조절함으로써, 자기 정렬된 제 1 금속 노출 영역 즉 저항성 접촉 영역을 최대한 확보할 수 있어 레이저 발진시 열 발생을 최소화 할 수 있을 뿐만 아니라 열 발산 효과가 뛰어나 신뢰성이 향상되며, 자기 정렬에 의한 공정의 안정화 및 소자의 신뢰성이 증가한다.

또한, 저항성 접촉 영역에 구애받지 않고 리지 폭을 줄일 수 있으며, PECVD법에 의한 증착의 두께에 따른 평탄화가 이루어져 소자를 패키징할 때 소자의 손상(damage)이 감소되며 후속 공정이 안정되어 생산성이 증가하는 효과가 있다.

(57) 청구의 범위

청구항 1

제 1 전도형의 반도체 기판 상면에 제 1 전도형의 버퍼층, 제 1 전도형의 제 1 크래딩층, 제 1 도파층, 활성층, 제 2 도파층, 제 2 전도형의 제 2 크래딩층, 제 2 전도형의 캡층을 순차적으로 성장시켜 적층하는 성장 단계와, 상기 성장 단계에서 성장된 상기캡층의 양쪽 가장자리 상면에 채널 마스크를 형성하는 채널 마스크 형성 단계와, 상기 채널 마스크 형성 단계에서 형성된 양쪽의 채널 마스크의 사이에 소정 크기의 저항성 접촉 제 1 금속층을 형성하는 제 1 금속층 형성 단계와, 상기 채널 마스크와 상기 제 1 금속층을 마스크로 하여, 이 제 1 금속층을 상단부로 하는 리지를 형성하기 위해 그 주변부를 소정의 깊이까지 선택적으로 식각하는 제 1 식각 단계와, 상기 제 1 식각 단계에서 형성된 리지부 및 식각부의 전면에 걸쳐 전류 차단층을 형성하는 전류 차단층 형성 단계와, 상기 전류 차단층 형성 단계에서 형성된 전류 차단층에 감광성 수지를 도포한 다음 상기 제 1 금속층을 노출시키는 제 2 식각 단계와, 상기 제 2 식각 단계에서 잔류된 나머지 감광성 수지를 제거하는 제 3 식각 단계와, 상기 제 3 식각 단계에서 감광성 수지가 제거된 기판에 제 2 금속층을 증착하는 제 2 금속 증착 단계를 포함하여 된 저메 특징이 있는 반도체 레이저 다이오드 제조방법.

청구항 2

제 1 항에 있어서, 채널 마스크 형성 단계는 상기 성장 단계를 마친 상기 기판의 캡층 상면에 채널 마스크막을 형성하는 마스크막 형성 단계와, 상기 마스크막 형성 단계에서 형성된 상기 마스크막 상면에 포토리소그래피법으로 식각하는 식각 단계를 포함하여 이루어지는 점에 특징이 있는 반도체 레이저 다이오드 제조 방법.

청구항 3

제 2 항에 있어서, 마스크막 형성 단계는 고 에너지 플라즈마 화학 기상 증착(PECVD)법에 의해 이루어지는 점에 특징이 있는 반도체 레이저 다이오드 제조방법.

청구항 4

제 1 항에 있어서, 제 1 금속층 형성 단계는 상기 채널 마스크 형성 단계에서 상기 채널 마스크가 형성된 기판 상면에 감광성 수지를 평탄하게 도포하는 감광성 수지 도포 단계와, 상기 감광성 수지 도포 단계에서 도포된 감광성 수지 상면에 마스크를 얹고, 노광한 다음, 상기 마스크를 제거하고 노광된 부분을 제거하는 감광성 수지 현상 단계와, 상기 감광성 수지 현상 단계를 마친 상기 기판 상면에 제 1 금속을 증착하는 금속 증착 단계와, 상기 금속 증착 단계에서 상기 노광된 영역에 증착된 제 1 금속만 남기고 나머지 제 1 금속부 부분과 그 하부의 감광성 수지를 리프트-오프 기법에 의해 제거하는 리프트-오프 단계를 포함하는 점에 특징이 있는 반도체 레이저 다이오드 제조방법.

청구항 5

제 1 항에 있어서, 전류 차단층 형성 단계는 고에너지 플라즈마 화학 기상 증착법에 의해 이루어지는 점에 특징이 있는 반도체 레이저 다이오드 제조방법.

청구항 6

제 1 항에 있어서, 제 1 식각 단계는 리액티브 이온 에칭에 의해 이루어지는 점에 특징이 있는 반도체 레이저 다이오드 제조방법.

청구항 7

제1항에 있어서, 제 2 식각 단계는 상기 전류 차단층과 감광성 수지를 리액티브 이온 에칭에 의한 자기-정렬 기법을 사용하는 점에 특징이 있는 반도체 레이저 다이오드 제조방법.

청구항 8

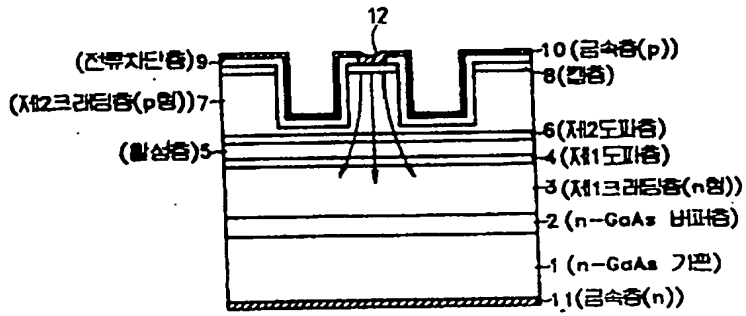
제1항 또는 제 7 항에 있어서, 제 2 식각 단계의 상기 전류 차단층과 감광성 수지를 리액티브 이온 에칭으로 식각함에 있어서 상기 전류 차단층과 감광성 수지가 같은 비율로 동시에 식각되도록 상기 리액티브 이온 에칭에 사용되는 가스 조성비를 조절해서 감광성 수지와 전류 차단층 물질의 식각 속도를 1 : 1로 하는 점에 특징이 있는 반도체 레이저 다이오드 제조방법.

청구항 9

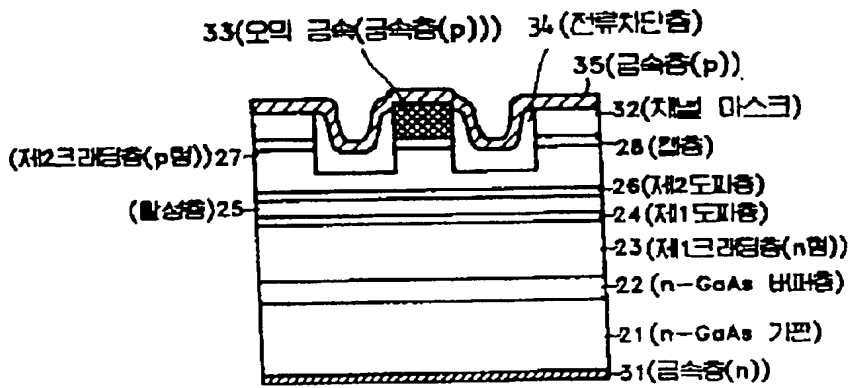
제1항에 있어서, 제 3 식각 단계는 상기 제 2 식각 단계에서 잔류된 감광성 수지를 플라즈마 애싱에 의해 식각하는 점에 특징이 있는 반도체 레이저 다이오드 제조방법.

도면

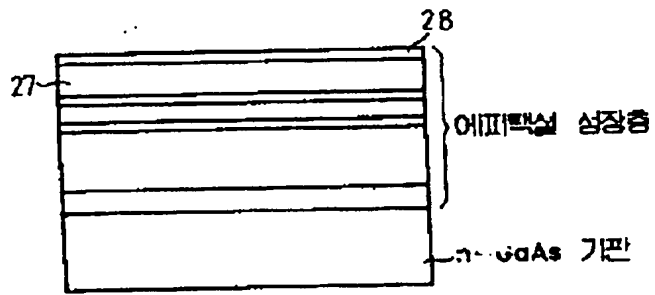
도면1



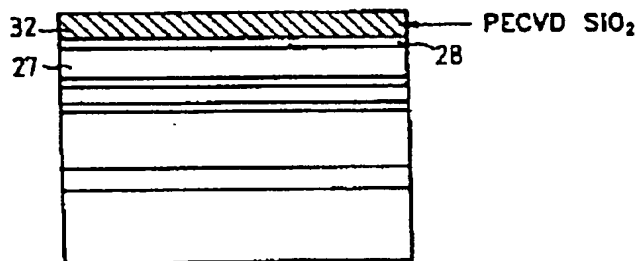
도면2



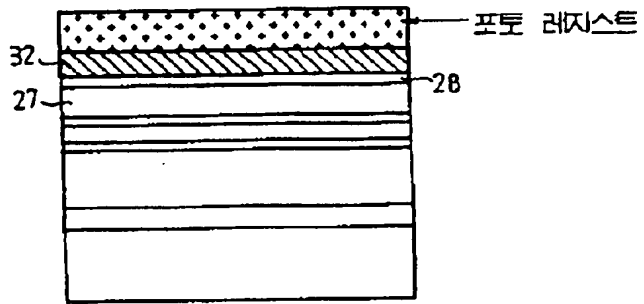
도면3



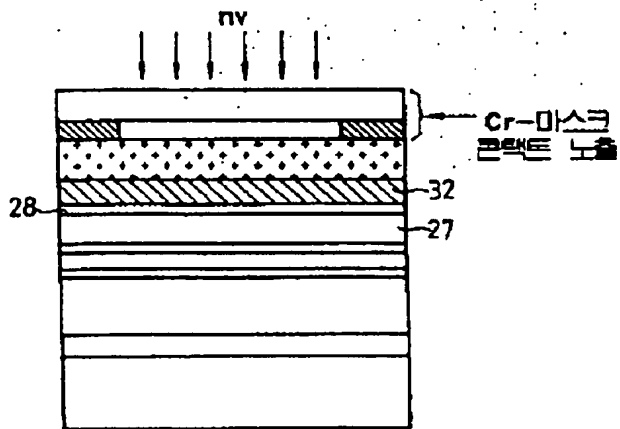
도면4



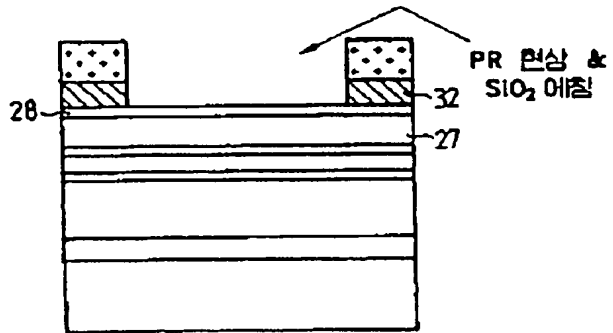
도면5



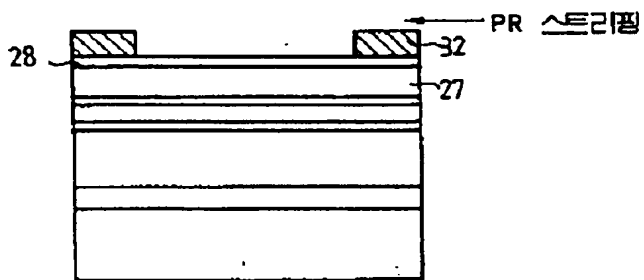
도면6



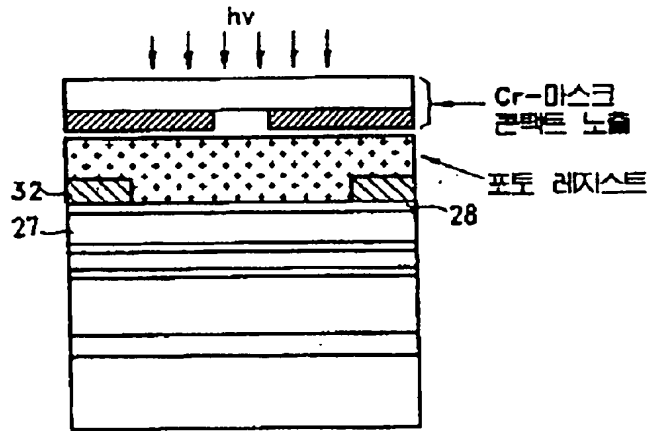
도면7



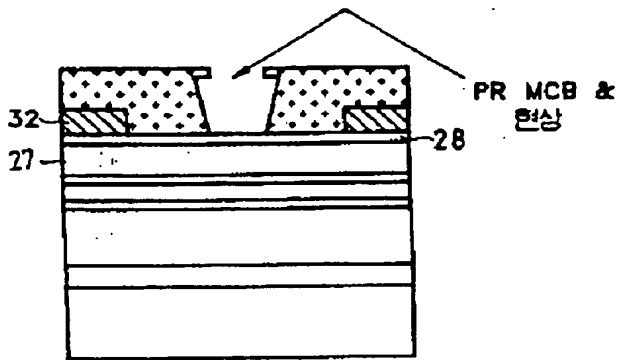
도면8



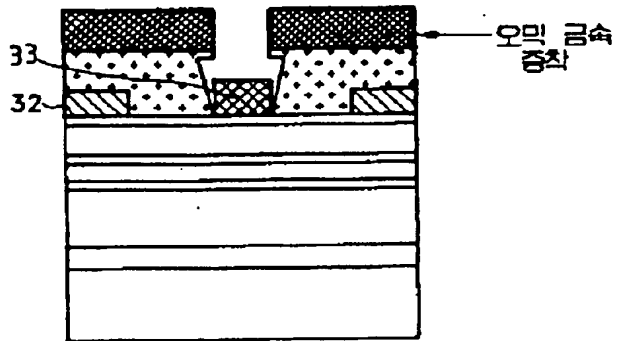
도면9



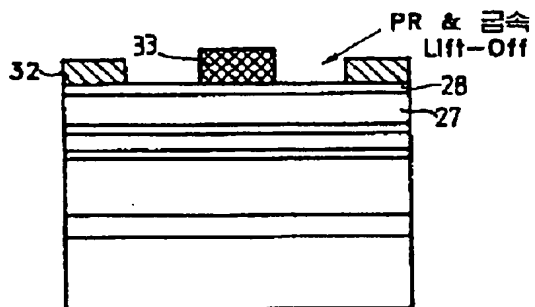
도면10



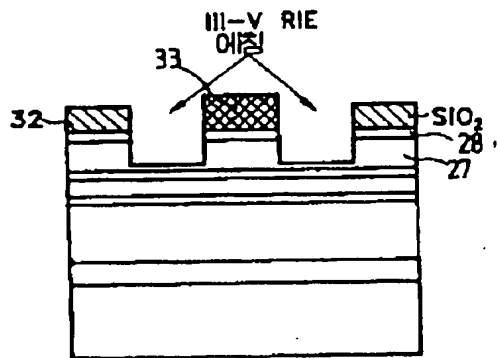
도면11



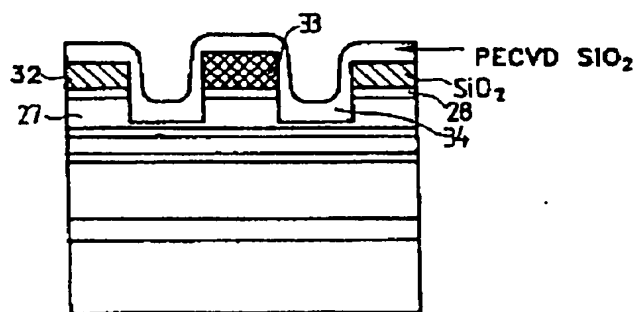
도면12



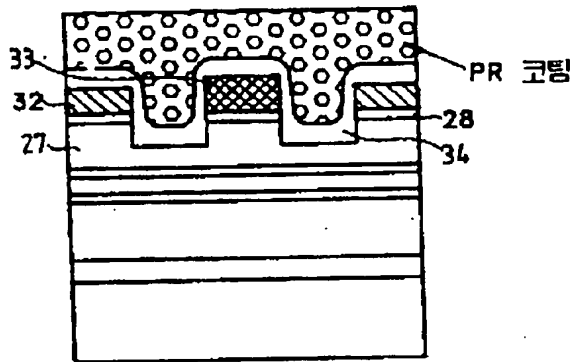
도면13



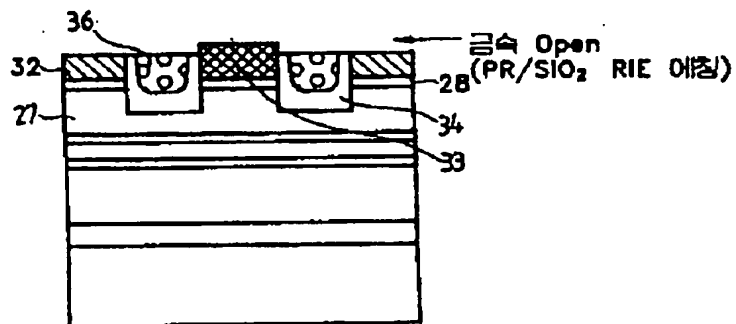
도면14



도면15



도면16



도면17

